

日 本 国 特 許
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2 0 0 2 年 1 2 月 2 4 日

出 願 番 号
Application Number:

特 願 2 0 0 2 - 3 7 1 8 7 8

[ST.10/C]:

[J P 2 0 0 2 - 3 7 1 8 7 8]

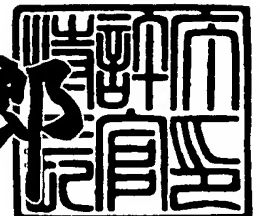
出 願 人
Applicant(s):

パイオニア株式会社

2 0 0 3 年 6 月 3 0 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太 田 信 一 郎



出 証 番 号 出 証 特 2 0 0 3 - 3 0 5 1 4 5 6

【書類名】 特許願

【整理番号】 57P0285

【提出日】 平成14年12月24日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/40

【発明の名称】 多階調化処理装置

【請求項の数】 12

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪2680番地 パイオニア株式会社内

【氏名】 上山口 潤

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪2680番地 パイオニア株式会社内

【氏名】 鈴木 雅博

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪2680番地 パイオニア株式会社内

【氏名】 重田 哲也

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【代理人】

【識別番号】 100079119

【弁理士】

【氏名又は名称】 藤村 元彦

【手数料の表示】

【予納台帳番号】 016469

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006557

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 多階調化処理装置

【特許請求の範囲】

【請求項 1】 映像信号によって表現される画像の輝度の階調数を増加する多階調化処理装置であって、

前記映像信号の周波数を検出する周波数検出手段と、

前記映像信号に多階調化処理を施す多階調化処理回路と、

前記周波数に応じて前記多階調化処理回路の動作を制御する多階調化処理制御手段と、を有することを特徴とする多階調化処理装置。

【請求項 2】 前記多階調化処理回路は、誤差拡散処理回路及び／又はディザ処理回路からなることを特徴とする請求項 1 記載の多階調化処理装置。

【請求項 3】 前記多階調化処理制御手段は、前記周波数が所定周波数よりも低い場合には前記映像信号に前記多階調化処理を施すべく前記多階調化処理回路を制御する一方、前記周波数が前記所定周波数よりも高い場合には前記映像信号をそのまま出力させるべく前記多階調化処理回路を制御することを特徴とする請求項 1 記載の多階調化処理装置。

【請求項 4】 前記ディザ処理回路は、

第 1 のディザ係数を発生する第 1 ディザ係数発生手段と、

前記第 1 のディザ係数とは異なる第 2 のディザ係数を発生する第 2 ディザ係数発生手段と、

前記周波数が所定周波数よりも低い場合には前記第 1 のディザ係数を前記映像信号に加算して得られたディザ処理映像信号を出力する一方、前記周波数が前記所定周波数よりも高い場合には前記第 2 のディザ係数を前記映像信号に加算して得られたディザ処理映像信号を出力するディザ加算手段と、を含むことを特徴とする請求項 1 及び 2 のいずれか 1 に記載の多階調化処理装置。

【請求項 5】 映像信号によって表現される画像の輝度の階調数を増加する多階調化処理装置であって、

前記映像信号の周波数を検出する周波数検出手段と、

前記映像信号にノイズ信号を加算してノイズ付加映像信号を得るノイズ付加回

路と、

前記映像信号に多階調化处理を施す多階調化处理回路と、

前記周波数に応じて前記多階調化处理回路及び前記ノイズ付加回路各々の動作を制御する制御手段と、を有することを特徴とする多階調化处理装置。

【請求項 6】 前記多階調化处理回路は、誤差拡散処理回路及び／又はディザ処理回路からなることを特徴とする請求項 5 記載の多階調化处理装置。

【請求項 7】 前記制御手段は、前記周波数が所定周波数よりも低い場合には前記映像信号に前記多階調化处理を施すべく前記多階調化处理回路を制御する一方、前記周波数が前記所定周波数よりも高い場合には前記映像信号をそのまま出力させるべく前記多階調化处理回路を制御することを特徴とする請求項 5 記載の多階調化处理装置。

【請求項 8】 前記制御手段は、前記周波数が所定周波数よりも低い場合には前記映像信号に対して前記ノイズ信号の加算を実施させるべく前記ノイズ付加回路を制御する一方、前記周波数が前記所定周波数よりも高い場合には前記映像信号をそのまま出力させるべく前記ノイズ付加回路を制御することを特徴とする請求項 5 記載の多階調化处理装置。

【請求項 9】 記ディザ処理回路は、

第 1 のディザ係数を発生する第 1 ディザ係数発生手段と、

前記第 1 のディザ係数とは異なる第 2 のディザ係数を発生する第 2 ディザ係数発生手段と、

前記周波数が所定周波数よりも低い場合には前記第 1 のディザ係数を前記映像信号に加算して得られたディザ処理映像信号を出力する一方、前記周波数が前記所定周波数よりも高い場合には前記第 2 のディザ係数を前記映像信号に加算して得られたディザ処理映像信号を出力するディザ加算手段と、を含むことを特徴とする請求項 4 及び 5 のいずれか 1 に記載の多階調化处理装置。

【請求項 10】 映像信号によって表現される画像の輝度の階調数を増加する多階調化处理装置を備えたディスプレイ装置であって、

前記映像信号の周波数を検出する周波数検出手段と、

前記映像信号に多階調化处理を施して多階調化映像信号を生成する多階調化処

理回路と、

前記多階調化映像信号に応じた画像を表示する表示手段と、

前記周波数に応じて前記多階調化処理回路の動作を制御する多階調化処理制御手段と、を有することを特徴とするディスプレイ装置。

【請求項 1 1】 前記多階調化処理回路は、誤差拡散処理回路及び／又はディザ処理回路からなることを特徴とする請求項 1 0 記載のディスプレイ装置。

【請求項 1 2】 前記多階調化処理制御手段は、前記周波数が所定周波数よりも低い場合には前記映像信号に前記多階調化処理を施すべく前記多階調化処理回路を制御する一方、前記周波数が前記所定周波数よりも高い場合には前記映像信号をそのまま出力させるべく前記多階調化処理回路を制御することを特徴とする請求項 1 0 記載のディスプレイ装置。

【発明の詳細な説明】

【0 0 0 1】

【発明が属する技術分野】

本発明は、入力映像信号に多階調化処理を施す多階調化処理装置に関する。

【0 0 0 2】

【従来の技術】

画像表示を行うディスプレイ装置として、入力映像信号に対して誤差拡散処理及びディザ処理による多階調化処理を施すことにより、スクリーン上において表示される画像の輝度階調数を増加させる多階調化処理回路を搭載したものが知られている（例えば、特許文献 1 参照）。

【0 0 0 3】

誤差拡散処理では、まず、入力映像信号をディスプレイの各画素に対応した例えば 8 ビットの画素データに変換し、この上位 6 ビット分を表示データ、残りの下位 2 ビット分を誤差データと捉える。そして、周辺画素各々に対応した上記画素データの各誤差データを重み付け加算したものを、上記表示データに反映させる。かかる動作により、原画素における下位 2 ビット分の輝度が上記周辺画素によって擬似的に表現される。それ故に 8 ビットよりも少ない 6 ビット分の表示データにて、上記 8 ビット分の画素データと同等の輝度階調表現が可能になる。そ

して、この誤差拡散処理によって得られた6ビットの誤差拡散処理画素データに対してディザ処理を施す。

【0004】

ディザ処理では、互いに隣接する複数の画素を1画素単位とし、この1画素単位内の各画素に対応した上記誤差拡散処理画素データに夫々、互いに異なる係数値からなるディザ係数を夫々割り当てて加算してディザ加算画素データを得る。かかるディザ係数の加算によれば、上記1画素単位で眺めた場合には、上記ディザ加算画素データの上位4ビット分だけでも8ビットに相当する輝度を表現することが可能な画像データが得られることになる。

【0005】

しかしながら、入力映像信号に対して上記の如き誤差拡散処理及びディザ処理を施すとフリッカ等の弊害が生じる場合があった。

【0006】

【特許文献1】

特開2000-227778号公報(図24～図27)

【0007】

【発明が解決しようとする課題】

本発明は、上記の問題を解決するためになされたものであり、フリッカ等の弊害を生じさせることなく、入力映像信号に対して多階調化処理を施すことが可能な多階調化処理装置を提供することを目的とする。

【0008】

【課題を解決するための手段】

請求項1記載による多階調化処理装置は、映像信号によって表現される画像の輝度の階調数を増加する多階調化処理装置であって、前記映像信号の周波数を検出する周波数検出手段と、前記映像信号に多階調化処理を施す多階調化処理回路と、前記周波数に応じて前記多階調化処理回路の動作を制御する多階調化処理制御手段と、を有する。

【0009】

又、請求項5記載による多階調化処理装置は、映像信号によって表現される画

像の輝度の階調数を増加する多階調化処理装置であって、前記映像信号の周波数を検出する周波数検出手段と、前記映像信号にノイズ信号を加算してノイズ付加映像信号を得るノイズ付加回路と、前記映像信号に多階調化処理を施す多階調化処理回路と、前記周波数に応じて前記多階調化処理回路及び前記ノイズ付加回路各々の動作を制御する制御手段と、を有する。

【 0 0 1 0 】

又、請求項 1 0 記載によるディスプレイ装置は、映像信号によって表現される画像の輝度の階調数を増加する多階調化処理装置を備えたディスプレイ装置であって、前記映像信号の周波数を検出する周波数検出手段と、前記映像信号に多階調化処理を施して多階調化映像信号を生成する多階調化処理回路と、前記多階調化映像信号に応じた画像を表示する表示手段と、前記周波数に応じて前記多階調化処理回路の動作を制御する多階調化処理制御手段と、を有する。

【 0 0 1 1 】

【発明の実施の形態】

以下、本発明の実施例を図を参照しつつ説明する。

図 1 は、本発明による多階調化処理装置を搭載したディスプレイ装置の概略構成を示す図である。

図 1 において、画素データ変換回路 1 は、入力映像信号を各画素毎の例えば 8 ビットの画素データ P D に変換してこれを多階調化処理回路 2 に供給する。多階調化処理回路 2 は、画素データ P D に対して誤差拡散処理及びディザ処理による多階調化処理を施して得られた多階調化画素データ M P D を表示駆動回路 3 に供給する。表示駆動回路 3 は、多階調化画素データ M P D に基づき、表示デバイス 4 を表示駆動すべき各種駆動信号を発生してこの表示デバイス 4 に供給する。表示デバイス 4 は、例えば C R T、プラズマディスプレイパネル、液晶パネル、エレクトロルミネッセンスディスプレイパネル等からなり、上記表示駆動回路 3 から供給された駆動信号に応じて上記入力映像信号に対応した画像を表示する。

【 0 0 1 2 】

図 2 は、多階調化処理回路 2 の内部構成を示す図である。

図 2 において、高周波検出回路 2 1 は、上記画素データ P D に基づいて入力映

像信号の周波数を検出し、その周波数が所定周波数よりも高い場合には論理レベル 1、低い場合には論理レベル 0 の高周波検出信号 HD をノイズ付加回路 2 2、誤差拡散処理回路 2 3 及びディザ処理回路 2 4 各々に供給する。

【 0 0 1 3 】

図 3 は、高周波検出回路 2 1 の内部構成の一例を示す図である。

図 3 において、メモリ 2 0 1 は、画素データ変換回路 1 から供給された画素データ PD を順次取り込む。そして、メモリ 2 0 1 は、表示デバイス 4 における 1 表示ライン分の取り込みが終了する度に、この画素データ PD を取り込んだ順に読み出して高周波判別回路 2 0 2 に供給する。すなわち、高周波判別回路 2 0 2 には、互いに隣接した 2 つの表示ライン各々に対応した画素データ PD が供給されるのである。高周波判別回路 2 0 2 は、互いに隣接した表示ライン各々に対応した画素データ PD に基づき、先ず、例えば図 4 の太線にて囲まれた 2 行×4 列の画素ブロック G 毎に、その画素ブロック内において水平方向及び垂直方向に隣接する画素に対応した画素データ PD 同士の差分の絶対値の総和 X を求める。例えば図 4 に示す画素ブロック G 1 では上記総和 X は、

$$\begin{aligned} X = & |PD_{1,1} - PD_{1,2}| + |PD_{1,2} - PD_{1,3}| + |PD_{1,3} - PD_{1,4}| \\ & + |PD_{2,1} - PD_{2,2}| + |PD_{2,2} - PD_{2,3}| + |PD_{2,3} - PD_{2,4}| \\ & + |PD_{2,1} - PD_{1,1}| + |PD_{2,2} - PD_{1,2}| + |PD_{2,3} - PD_{1,3}| \\ & + |PD_{2,4} - PD_{1,4}| \end{aligned}$$

となる。

【 0 0 1 4 】

そして、高周波判別回路 2 0 2 は、上記総和 X が所定値より大なる場合には入力映像信号が高周波数であると判別して論理レベル 1、小なる場合には高周波ではないと判別して論理レベル 0 の高周波検出信号 HD を発生して、ノイズ付加回路 2 2、誤差拡散処理回路 2 3 及びディザ処理回路 2 4 各々に供給する。

図 5 は、ノイズ付加回路 2 2 の内部構成の一例を示す図である。

【 0 0 1 5 】

図 5 に示す如く、ノイズ付加回路 2 2 は、ノイズデータ発生回路 2 1 1、加算器 2 1 2 及びセクタ 2 1 3 からなる。ノイズデータ発生回路 2 1 1 は、例えば

乱数発生器等からなり、発生したランダムデータ中の1ビット分をノイズデータビットNBとして加算器212に供給する。加算器212は、画素データ変換回路1から供給された画素データPDに上記ノイズデータビットNBを加算した加算結果をノイズ処理画素データNPDとしてセレクタ213に供給する。セレクタ213は、高周波検出回路21から論理レベル0の高周波検出信号HDが供給された場合には上記ノイズ処理画素データNPDを次段の誤差拡散処理回路23に供給する一方、論理レベル1の高周波検出信号HDが供給された場合には上記画素データPDをそのまま誤差拡散処理回路23に供給する。

【0016】

かかる構成により、ノイズ付加回路22は、入力映像信号が所定周波数よりも高周波数ではない場合には上記画素データPDにノイズ成分を加算して得たノイズ処理画素データNPDを誤差拡散処理回路23に供給する。一方、入力映像信号が所定周波数よりも高周波数である場合にはノイズ成分を付加することなく上記画素データPDをそのまま誤差拡散処理回路23に供給するのである。

【0017】

図6は、誤差拡散処理回路23の内部構成の一例を示す図である。

図6に示す如く、誤差拡散処理回路23は、誤差拡散回路231及びセレクタ232からなる。誤差拡散回路231は、先ず、ノイズ付加回路22から供給された画素データ(NPD又はPD)による系列中から、図7に示す如き配置関係にある画素 $G(j,k)$ 、 $G(j,k-1)$ 、 $G(j-1,k-1)$ 、 $G(j-1,k)$ 、及び $G(j-1,k+1)$ 各々に対応した画素データを取り出す。次に、これら画素 $G(j,k-1)$ 、 $G(j-1,k+1)$ 、 $G(j-1,k)$ 、及び $G(j-1,k-1)$ 各々に対応した画素データ(NPD又はPD)の下位ビット群(低輝度成分)同士を重み付け加算する。そして、この重み付け加算した結果を、画素 $G(j,k)$ に対応した画素データ(NPD又はPD)の上位ビット群(高輝度成分)に反映させたものを誤差拡散処理画素データEDとしてセレクタ232に供給する。セレクタ232は、高周波検出回路21から論理レベル0の高周波検出信号HDが供給された場合には上記誤差拡散処理画素データEDをディザ処理回路24に供給する。又、論理レベル1の高周波検出信号HDが供給された場合には、セレクタ232は、ノイズ付加回路22から供給された画素デ

ータをディザ処理回路24に供給する。尚、高周波検出信号HDが論理レベル1である間は、ノイズ付加回路22からは画素データPDが供給されるので、この間、セクタ232は上記画素データPDをそのままディザ処理回路24に供給することになる。

【0018】

かかる構成により、誤差拡散処理回路23は、入力映像信号が所定周波数よりも高周波数ではない場合には上記ノイズ処理画素データNPDに誤差拡散処理を施した誤差拡散処理画素データEDをディザ処理回路24に供給する。一方、入力映像信号が所定周波数よりも高周波数である場合には、誤差拡散処理回路23は、上述した如き誤差拡散処理を実行せずに、上記画素データPDをそのままディザ処理回路24に供給するのである。

【0019】

図8は、かかるディザ処理回路24の内部構成の一例を示す図である。

図8に示す如く、ディザ処理回路24は、ディザ係数発生回路241、加算器242、上位ビット抽出回路243及びセクタ244から構成される。ディザ係数発生回路241は、N行×M列の画素ブロック内の各画素位置に対応させて、(N×M)個のディザ係数 $A_{1,1} \sim A_{N,M}$ を発生し、順次、加算器242に供給する。この際、ディザ係数発生回路241は、ディザ係数 $A_{1,1} \sim A_{N,M}$ 各々の値を、入力映像信号における1フィールド（又は1フレーム）毎に変更する。例えば、画素ブロックが2行×4列である際に最初の第1フィールドでのディザ係数 $A_{1,1} \sim A_{1,4}$ 、 $A_{2,1} \sim A_{2,4}$ 各々の値が図9(a)の如きものであるとすると、次の第2フィールドでは図9(b)、第3フィールドでは図9(c)、第4フィールドでは図9(d)に推移する。加算器242は、上記誤差拡散処理回路23から供給された画素データ（誤差拡散処理画素データED又は画素データPD）と、その画素データにおける画素ブロック内での位置に対応したディザ係数Aとを加算した加算結果をディザ加算画素データDAとして上位ビット抽出回路243に供給する。上位ビット抽出回路243は、ディザ加算画素データDA中から所定の上位ビット群のみを抽出してこれをディザ処理画素データDPとしてセクタ244に供給する。セクタ244は、高周波検出回路21から論理レベル

0の高周波検出信号HDが供給された場合には上記ディザ処理画素データDPを次段のメモリ25に供給する。一方、論理レベル1の高周波検出信号HDが供給された場合には、セクタ244は、上記誤差拡散処理回路23から供給された画素データをメモリ25に供給する。尚、高周波検出信号HDが論理レベル1である間は、誤差拡散処理回路23からは画素データPDが供給されるので、この間、セクタ244は上記画素データPDをそのままメモリ25に供給することになる。

【0020】

かかる構成により、ディザ処理回路24は、入力映像信号が所定周波数よりも高周波数ではない場合には誤差拡散処理画素データEDに対してディザ処理を施して得られたディザ処理画素データDPをメモリ25に供給する。一方、入力映像信号が所定周波数よりも高周波数である場合には、ディザ処理回路24は、上記の如きディザ処理を実行せずに上記画素データPDをそのままメモリ25に供給するのである。

【0021】

メモリ25は、ディザ処理回路24から供給されたディザ処理画素データDP又は画素データPDを取り込み、これを表示デバイス4の画面（n行×m列）の各画素位置に対応づけして記憶する。そして、1画面分の画素データ（DP又はPD）が記憶される度に、メモリ33は、この画素データを順次1表示ライン分ずつ読み出し、これを多階調化画素データMPDとして上記表示駆動回路3に供給する。

【0022】

以上の如く、図2に示される多階調化処理回路2においては、入力映像信号が所定周波数よりも低周波数である場合に限りこの入力映像信号に対して多階調化処理（誤差拡散処理及びディザ処理）を施すようにしている。要するに、本出願人は、互いに隣接する画素各々に対応した画素データの示す輝度が比較的頻繁に変動する、いわゆる高周波数の映像信号が供給された際に多階調化処理を実行するとフリッカが発生することに気づき、この際、入力映像信号に多階調化処理を施さないようにしたのである。

【 0 0 2 3 】

かかる構成により、フリッカ等の弊害が生じない良好な画像表示が可能になる。

尚、上記実施例におけるディザ処理回路 2 4 では、入力映像信号が所定周波数よりも高周波数である場合にはディザ処理を実行しないようにしているが、加算すべきディザ係数を入力映像信号の周波数に応じて変更するようにしても良い。

【 0 0 2 4 】

図 1 0 は、かかる点に鑑みて為されたディザ処理回路 2 4 の内部構成の他の一例を示す図である。

図 1 0 に示されるディザ処理回路 2 4 は、低周波用ディザ係数発生回路 2 4 5、高周波用ディザ係数発生回路 2 4 6、セレクタ 2 4 7、加算器 2 4 8 及び上位ビット抽出回路 2 4 9 からなる。低周波用ディザ係数発生回路 2 4 5 は、 N 行 \times M 列の画素ブロック内の各画素位置に対応させて $(N \times M)$ 個のディザ係数 $A_{1,1} \sim A_{N,M}$ を発生し、順次、セレクタ 2 4 7 に供給する。この際、低周波用ディザ係数発生回路 2 4 5 は、ディザ係数 $A_{1,1} \sim A_{N,M}$ 各々の値を入力映像信号における 1 フィールド（又は 1 フレーム）毎に変更する。例えば、2 行 \times 4 列の画素ブロックに対して最初の第 1 フィールドでのディザ係数 $A_{1,1} \sim A_{1,4}$ 、 $A_{2,1} \sim A_{2,4}$ 各々の値は図 9 (a)、次の第 2 フィールドでは図 9 (b)、第 3 フィールドでは図 9 (c)、第 4 フィールドでは図 9 (d) の如く変更する。すなわち、低周波用ディザ係数発生回路 2 4 5 は、比較的低周波数の入力映像信号に対してディザノイズを生じさせることなくディザ処理が為されるように、各フィールド毎にディザ係数 $A_{1,1} \sim A_{1,4}$ 、 $A_{2,1} \sim A_{2,4}$ 各々の値を変更するのである。

【 0 0 2 5 】

高周波用ディザ係数発生回路 2 4 6 は、 N 行 \times M 列の画素ブロック内の各画素位置に対応させて $(N \times M)$ 個のディザ係数 $B_{1,1} \sim B_{N,M}$ を発生し、順次、セレクタ 2 4 7 に供給する。この際、高周波用ディザ係数発生回路 2 4 6 は、ディザ係数 $B_{1,1} \sim B_{N,M}$ 各々の値を入力映像信号における 1 フィールド（又は 1 フレーム）毎に変更する。例えば、2 行 \times 4 列の画素ブロックに対して最初の第 1 フィールドでのディザ係数 $B_{1,1} \sim B_{1,4}$ 、 $B_{2,1} \sim B_{2,4}$ 各々の値は図 9 (e)、次の

第2フィールドでは図9（f）、第3フィールドでは図9（g）、第4フィールドでは図9（h）の如く変更する。すなわち、高周波用ディザ係数発生回路246は、比較的高周波数の入力映像信号に対して、フリッカを生じさせることなくディザ処理が為されるように、各フィールド毎にディザ係数 $B_{1,1} \sim B_{1,4}$ 、 $B_{2,1} \sim B_{2,4}$ 各々の値を変更するのである。

【0026】

セレクタ247は、高周波検出回路21から論理レベル0の高周波検出信号HDが供給された場合には低周波用ディザ係数発生回路245から供給されたディザ係数 $A_{1,1} \sim A_{N,M}$ を加算器248に供給する。一方、高周波検出回路21から論理レベル1の高周波検出信号HDが供給された場合には、セレクタ247は、高周波用ディザ係数発生回路246から供給されたディザ係数 $B_{1,1} \sim B_{N,M}$ を加算器248に供給する。加算器248は、上記誤差拡散処理回路23から供給された画素データ（誤差拡散処理画素データED又は画素データPD）と、その画素データにおける画素ブロック内での位置に対応したディザ係数（ $A_{1,1} \sim A_{N,M}$ 又は $B_{1,1} \sim B_{N,M}$ ）とを加算した加算結果をディザ加算画素データDAとして上位ビット抽出回路249に供給する。上位ビット抽出回路249は、ディザ加算画素データDA中から所定の上位ビット群のみを抽出してこれをディザ処理画素データDPとして上記メモリ25に供給する。

【0027】

すなわち、図10に示されるディザ処理回路24では、入力映像信号が所定周波数よりも低周波数である場合には図9（a）～図9（d）の如く推移する低周波用のディザ係数Aを画素データに加算することによりディザ処理画素データDPを得る。一方、入力映像信号が所定周波数よりも高周波数である場合には、図9（e）～図9（h）の如く推移する高周波用のディザ係数Bを画素データに加算することによりディザ処理画素データDPを得るようにしたのである。

【0028】

図11は、図10に示されるディザ処理回路24の動作の一例を示す図である。

まず、図11（a）に示す如き2行×4列画素ブロック内の画素データが全て

輝度レベル「5」を表す、いわゆる低周波数の映像信号が供給された場合には、図11(b)～図11(e)の如く推移する低周波用のディザ係数Aが、この2行×4列画素ブロック内の各画素データに加算される。すると、図11(f)～図11(i)の如きディザ処理画素データDPが得られる。この際、図11(f)～図11(i)に示されるディザ処理画素データDP各々の2行×4列画素ブロック内での平均値は「5」であり、第1～第4フィールドに亘りその平均輝度レベルに変動はない。よって、フリッカは生じない。

【0029】

ところが、図11(k)に示す如き輝度レベル「5」及び「0」を表す画素データが2行×4列画素ブロック内において混在する、いわゆる高周波数の映像信号に対して仮に図11(b)～図11(e)の如き低周波用のディザ係数Aを用いたディザ処理を実施すると、フリッカが生じる。すなわち、図11(k)に示す如き画素データに図11(b)～図11(e)の如き低周波用のディザ係数Aを加算すると、図11(l)～図11(o)の如きディザ処理画素データDPが得られる。この際、第1及び第3フィールドでのディザ処理画素データDP各々の2行×4列画素ブロック内での平均値は「3」であるが、第2及び第4フィールドでのディザ処理画素データDP各々の2行×4列画素ブロック内での平均値は「2」となる。よって、第1～第4フィールドに亘り2行×4列画素ブロック内での平均輝度レベルに変動が生じるので、フリッカが発生する。

【0030】

そこで、図10に示されるディザ処理回路24では、図11(k)に示す如き高周波数の映像信号に対しては、図11(q)～図11(t)の如き高周波用のディザ係数Bを用いてディザ処理を実施するようにしている。かかるディザ処理によれば、図11(u)～図11(x)の如き、夫々、2行×4列画素ブロック内での平均値が「3」となるディザ処理画素データDPが得られる。よって、第1～第4フィールドに亘り2行×4列画素ブロック内での平均輝度レベルが変動しないので、フリッカを抑制した良好な画像表示が為されるようになる。

【0031】

又、上記実施例においては、入力映像信号の周波数が所定周波数より低い場合

に限りこの入力映像信号に対して多階調化処理を施すようにしているが、入力映像信号の周波数が所定周波数よりも低い場合には上記多階調化処理を実行せず、高い場合に限りこの多階調化処理を実行するようにしても良い。この際、フリッカの発生を抑制できるようなディザ係数を選定する必要がある。

【図面の簡単な説明】

【図 1】

多階調化処理回路を搭載したディスプレイ装置の概略構成を示す図である。

【図 2】

図 1 に示される多階調化処理回路 2 の内部構成を示す図である。

【図 3】

図 2 に示される高周波検出回路 2 1 の内部構成を示す図である。

【図 4】

2 行×4 列画素ブロックと、画素データ P D との対応関係を示す図である。

【図 5】

図 2 に示されるノイズ付加回路 2 2 の内部構成を示す図である。

【図 6】

図 2 に示される誤差拡散処理回路 2 3 の内部構成を示す図である。

【図 7】

図 2 に示される誤差拡散処理回路 2 3 による誤差拡散処理を模式的に表す図である。

【図 8】

図 2 に示されるディザ処理回路 2 4 の内部構成を示す図である。

【図 9】

第 1 ～第 4 フィールドにおける 2 行×4 列画素ブロック内でのディザ係数の割り当ての推移を示す図である。

【図 1 0】

図 2 に示されるディザ処理回路 2 4 の他の構成を示す図である。

【図 1 1】

図 1 0 に示されるディザ処理回路 2 4 の動作を説明する為の図である。

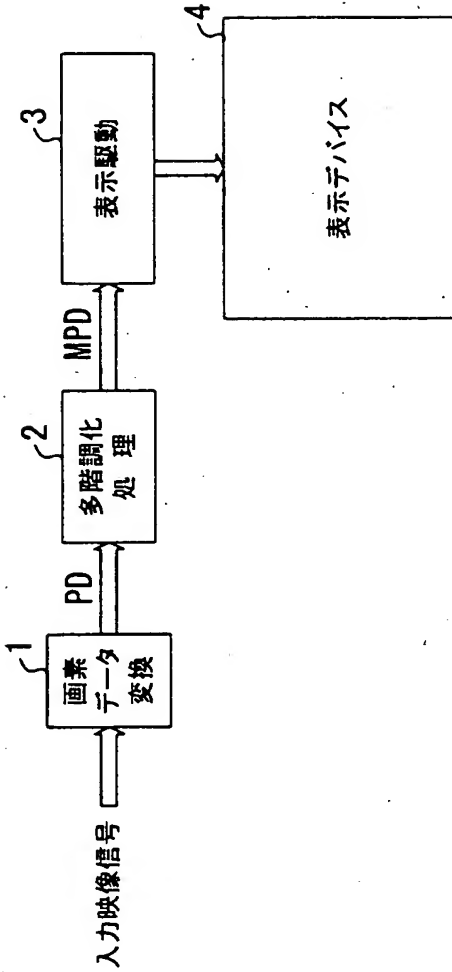
【主要部分の符号の説明】

- 2 多階調化処理回路
- 2 1 高周波検出回路
- 2 2 ノイズ付加回路
- 2 3 誤差拡散処理回路
- 2 4 ディザ処理回路
- 2 5 メモリ

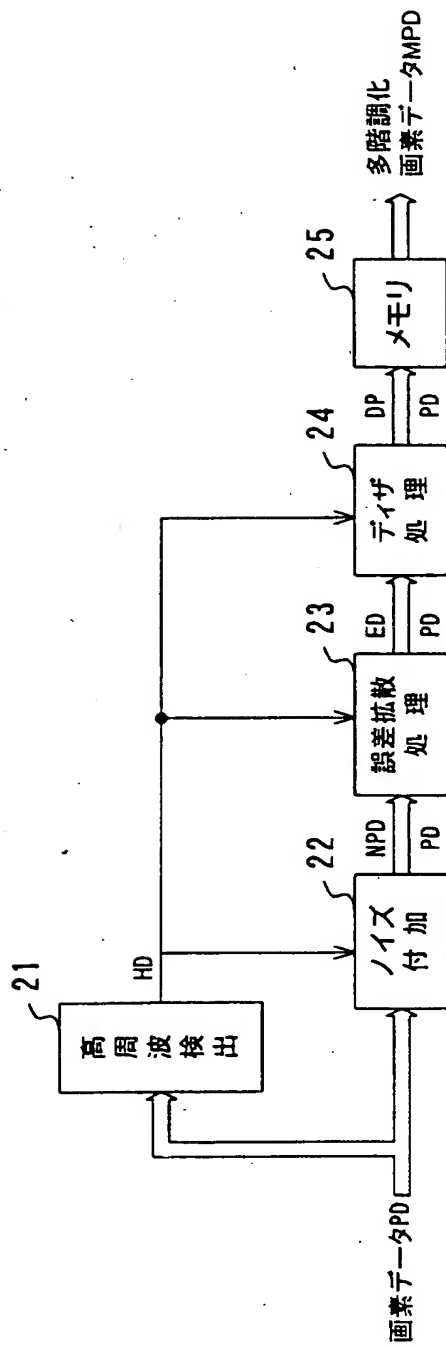
【書類名】

図面

【図 1】

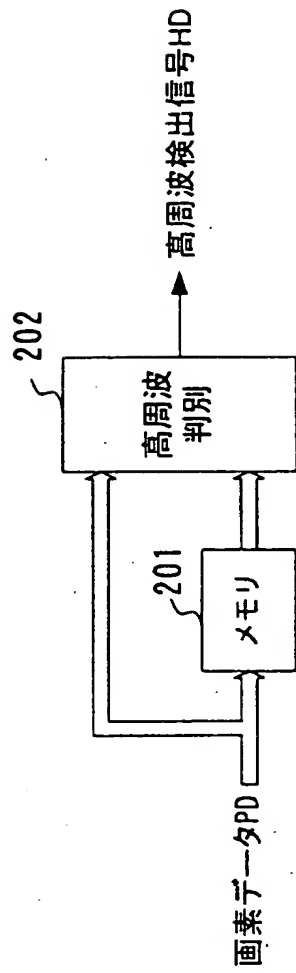


【図2】

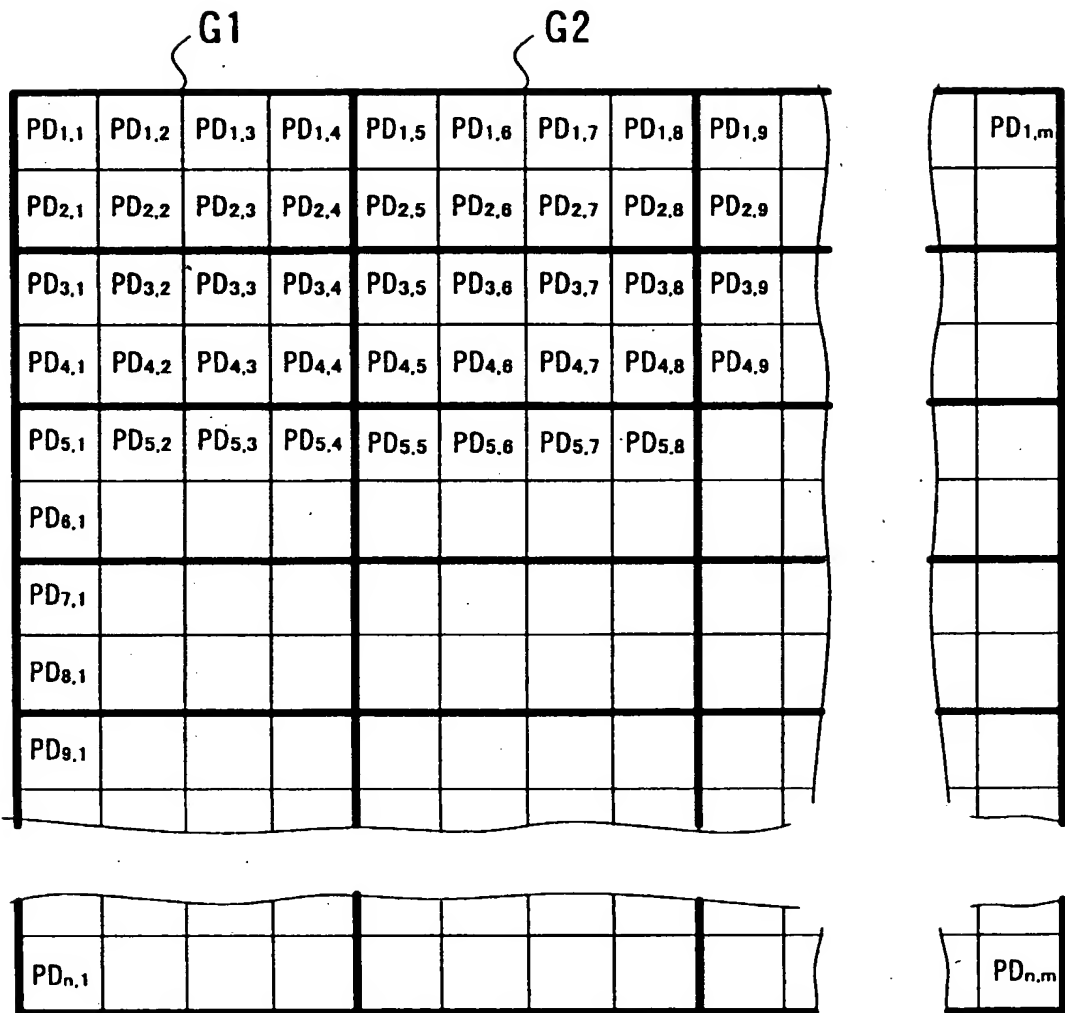


【図 3】

21

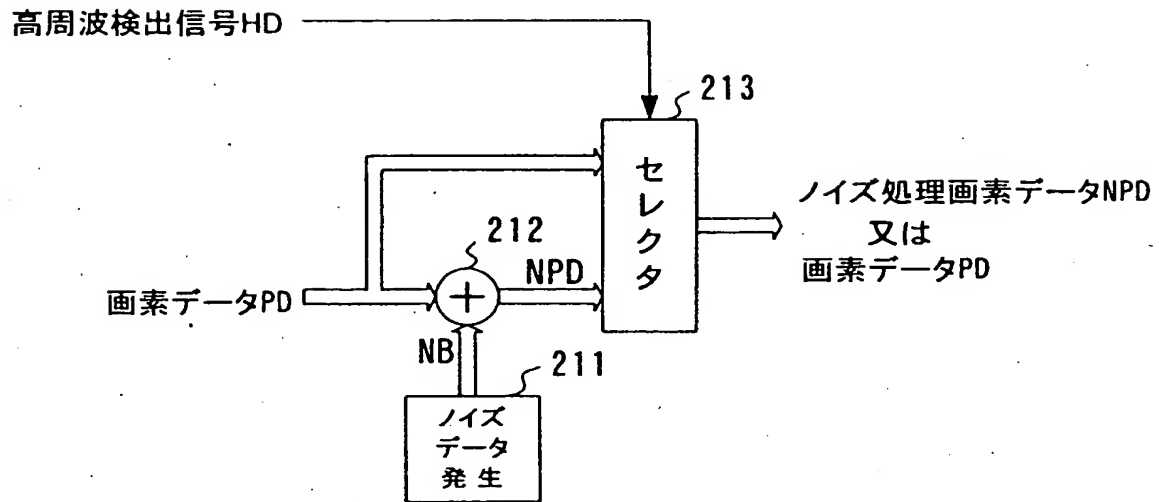


【図 4】



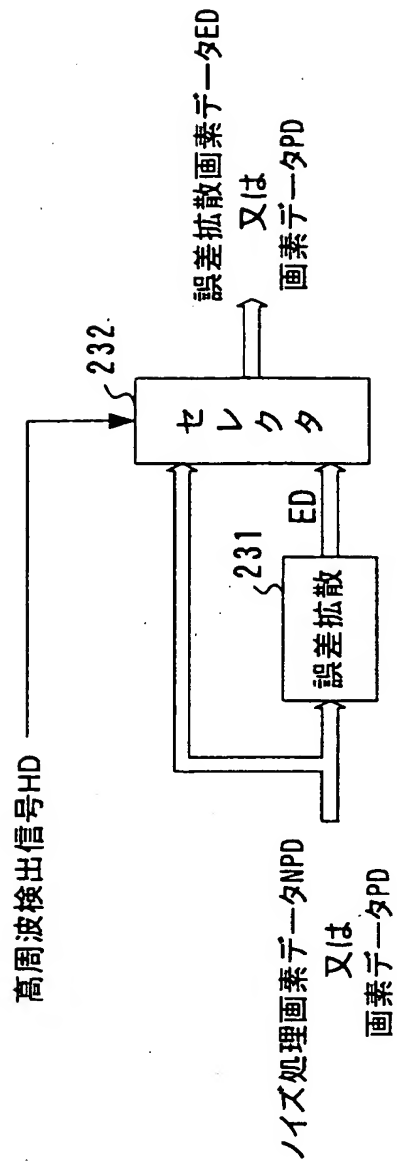
【図 5】

22

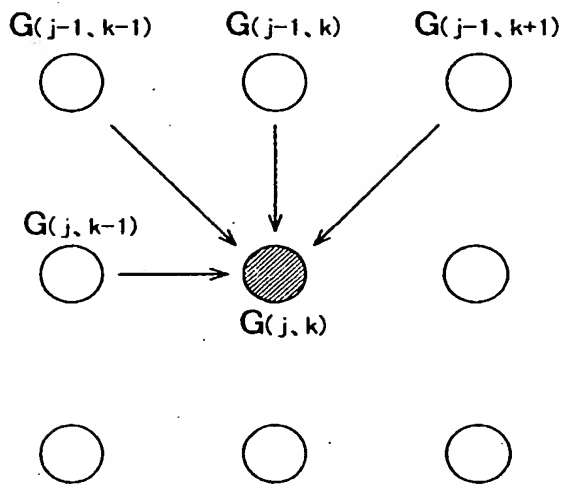


【図6】

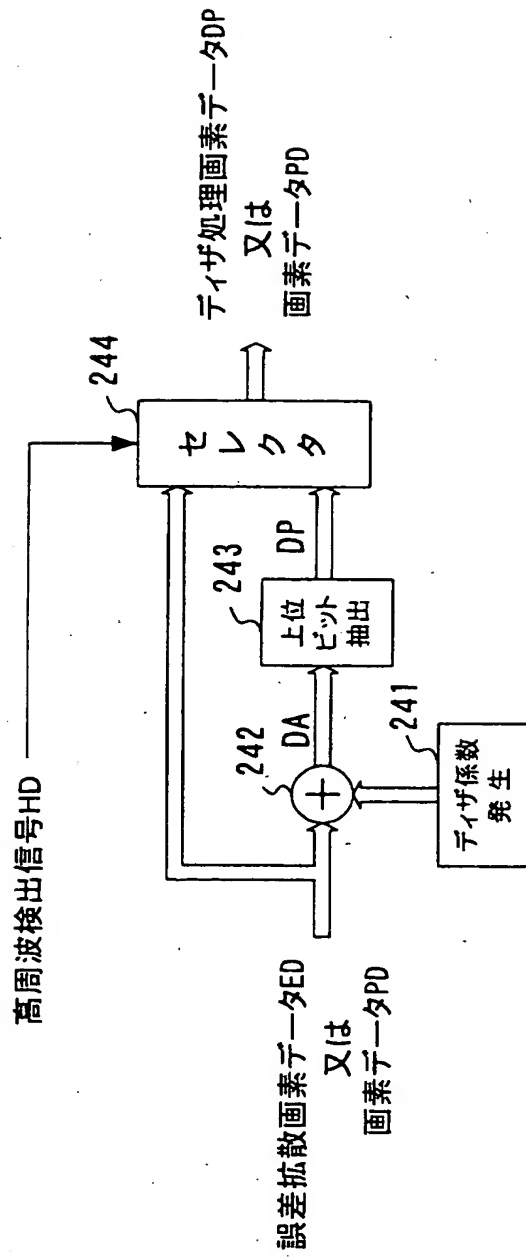
23



【図 7】

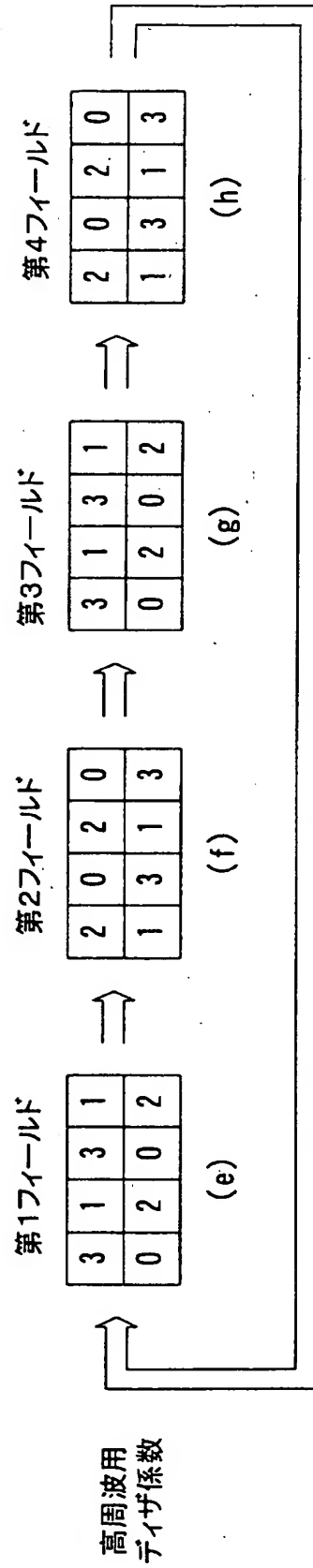
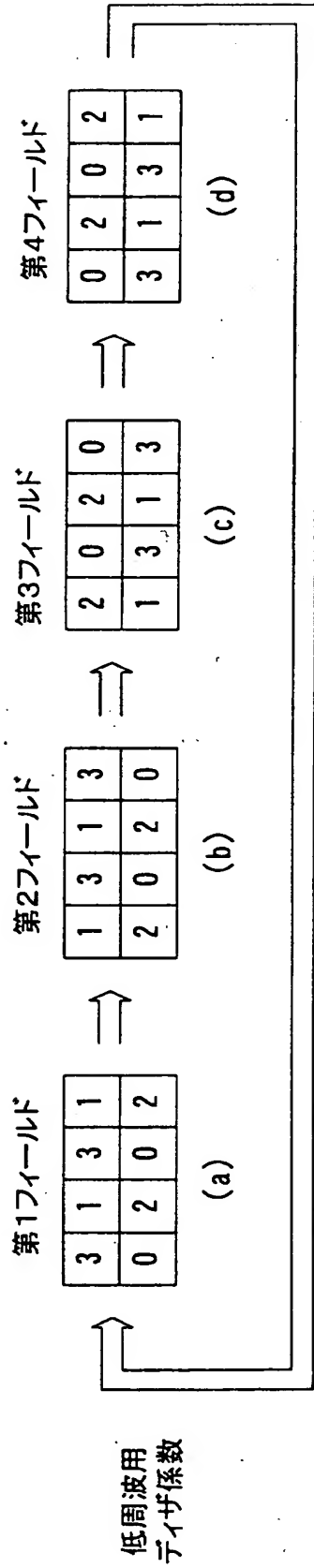


【図 8】



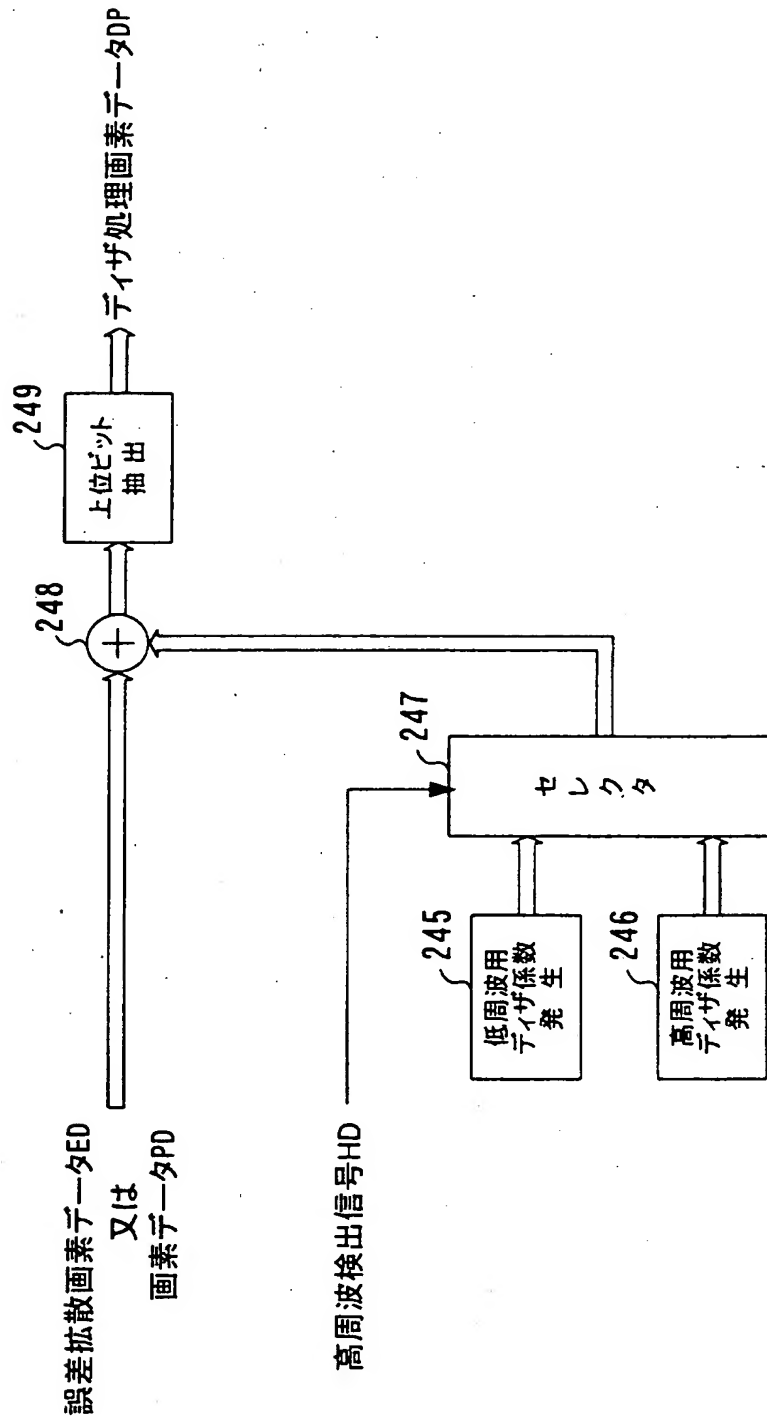
24

【図 9】

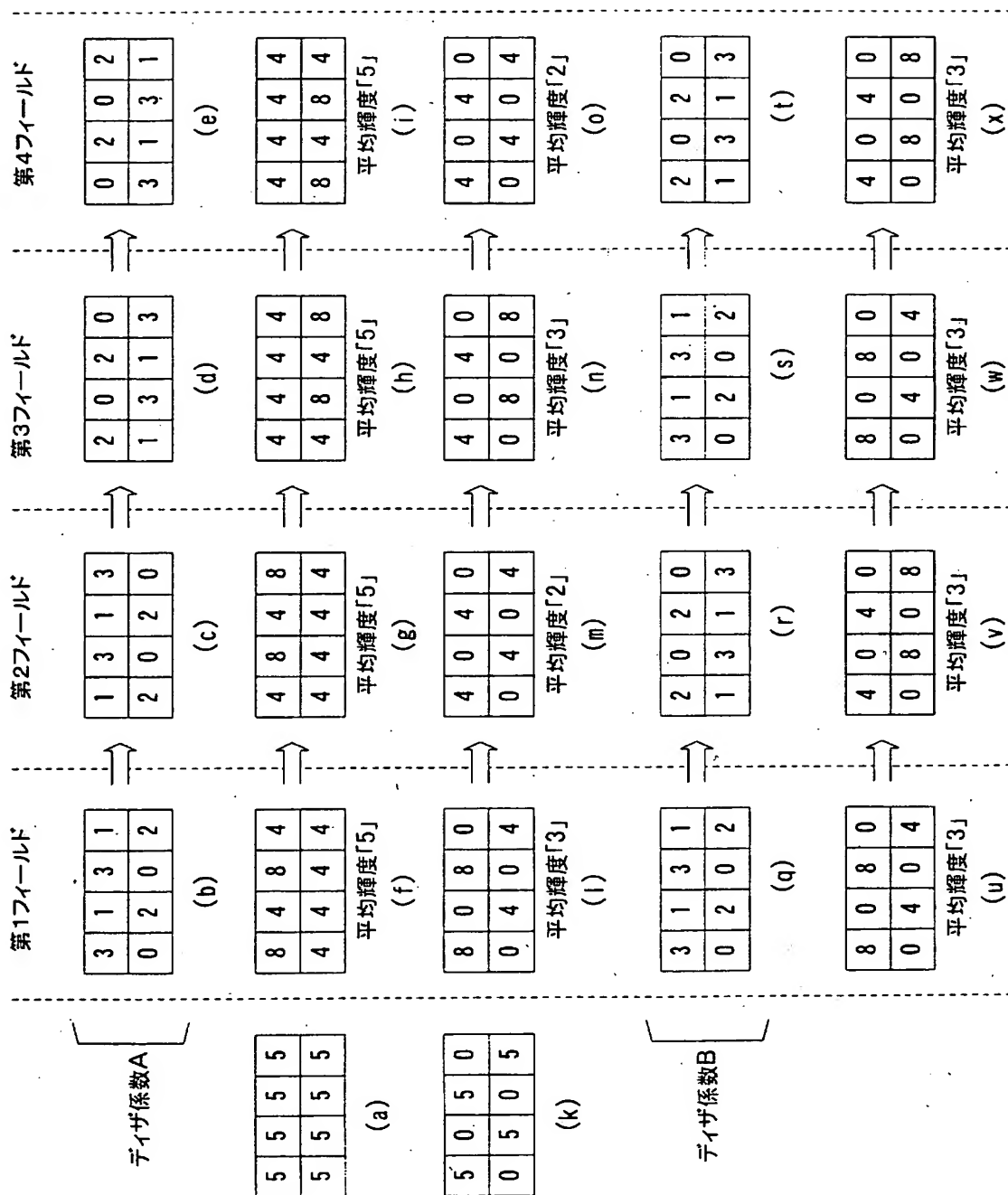


【図 10】

24



【図 1.1】



【書類名】 要約書

【要約】

【目的】 フリッカ等の弊害を生じさせることなく、入力映像信号に対して多階調化処理を施すことが可能な多階調化処理装置を提供することを目的とする。

【解決手段】 入力映像信号の周波数に応じて、この入力映像信号に多階調化処理を施す多階調化処理回路の動作を制御する。これにより、比較的高い周波数の映像信号が供給された場合にもフリッカ等の弊害を抑制した良好な画像表示が可能になる。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号

[000005016]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都目黒区目黒1丁目4番1号

氏 名 パイオニア株式会社